

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 59 055.9  
Anmeldetag: 17. Dezember 2002  
Anmelder/Inhaber: Infineon Technologies AG,  
München/DE  
Bezeichnung: Spannungsgeneratoranordnung  
IPC: G 05 F, H 02 M, G 11 C

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 11. Dezember 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Ebert

Beschreibung

Spannungsgeneratoranordnung

5 Die Erfindung betrifft eine Spannungsgeneratoranordnung. Die Spannungsgeneratoranordnung ist zur Integration auf einem Halbleiterchip geeignet und erzeugt eine konstante Ausgangsspannung zum Treiben und Versorgen von Funktionseinheiten.

10 In integrierten Halbleiterschaltungen, beispielsweise in dynamischen Halbleiterspeicherbausteinen, sogenannten DRAMs, wird eine Vielzahl von internen Spannungen verschiedener Höhe benötigt, um die internen Funktionseinheiten und deren bestimmungsgemäßen Betrieb zu bewirken. Es ist erforderlich,

15 daß die Ausgangsspannung möglichst konstant und möglichst niederohmig mit ausreichender Stromtreiberfähigkeit bereitgestellt wird.

Ein DRAM umfaßt bekanntlich Speicherzellen mit einem Speicherkondensator, dessen Ladungszustand die gespeicherte Information repräsentiert. Auf Grund von Leckströmen wird der gespeicherte Ladungszustand im Kondensator verändert und der Abstand zu einer Referenz nimmt ab. Um trotzdem die gespeicherte Information fehlerfrei auslesen zu können, ist erforderlich, daß die zu verwendenden Referenzpegel auch unter ungünstigen Betriebszuständen möglichst konstant und bei vorbestimmter Pegelhöhe vorliegen. Beispielsweise ist ein Spannungsgenerator erforderlich, der genau mittig zwischen den die beiden binären logischen Zustände repräsentierenden Spannungspegeln liegt. Da die auszulesende Information mit diesem mittigen Spannungspegel verglichen wird, sind erhöhte Anforderungen an dessen Genauigkeit zu stellen. Schließlich werden auch weitere das Speicherzellenfeld und die Schaltungen zum Ein- und Auslesen versorgende Potentiale von einer übergeordneten Spannungsgeneratoranordnung bereitgestellt.

Eine solche Spannungsgeneratoranordnung umfaßt mehrere Stufen. Eine Bandabstands-Referenzschaltung (Band-Gap-Referenzschaltung) stellt ein von äußeren Betriebseinflüssen wie externer Versorgungsspannung oder Temperatur weitgehend unabhängiges, auf Bezugspotential bezogenes Ausgangspotential bereit. Die Band-Gap-Referenzschaltung weist einen hochohmigen Ausgang auf. Zweckmäßigerweise wird daher der Band-Gap-Referenzschaltung ausgangsseitig ein Impedanzwandler nachgeschaltet, der das hochohmig bereitgestellte Referenzpotential niederohmig transformiert. Der Impedanzwandler steuert schließlich einen ausgangsseitig angeordneten Spannungsgenerator an, der ein möglichst konstantes Ausgangspotential bei hoher Stromtreiberfähigkeit liefert, das in Abhängigkeit vom Ausgangssignal des Impedanzwandlers in seiner Höhe eingesellt wird. Es können mehrere Impedanzwandler von der gleichen Band-Gap-Referenzschaltung parallel angesteuert werden, oder es können verschiedene ausgangsseitige Spannungsgeneratoren vorgesehen werden, um verschiedene Ausgangsspannungen oder an verschiedenen Orten auf dem Halbleiterchip einzuspeisende gleiche Spannungen zu erzeugen.

Bei einer solchen Spannungsgeneratoranordnung hat es sich als zweckmäßig erwiesen, getrennte Bezugspotentialleitungen vorzusehen. Hierbei sind die Band-Gap-Referenzschaltung und der Impedanzwandler an eine erste Bezugspotentialleitung angellossen. Die Band-Gap-Referenzschaltung und der Impedanzwandler verbrauchen unabhängig von den verschiedenen Betriebszuständen des DRAMs konstanten Strom. Der Stromverbrauch ist außerdem relativ gering. Daher ist der Spannungsabfall längs dieser Leitung konstant bzw. kann einfach kompensiert werden. Der ausgangsseitige Spannungsgenerator ist an eine von der ersten separate, zweite Bezugspotentialleitung angeschlossen. Beide Bezugspotentialleitungen sind beispielsweise aus in einer Metallisierungsebene des Halbleiterchips verlaufenden Metallbahnen gebildet, die beispielsweise aus Aluminium oder einer Aluminiumlegierung bestehen. Das Bezugspotential wird von außen über eine Anschlußfläche, soge-

nanntes Pad, zugeführt. Es sind auch verschiedene Pads denkbar, die dann chipextern miteinander verbunden sind. Zumindest erfolgt die Verbindung der genannten beiden Bezugspotentialleitungen typischerweise über das Anschlußpad zur externen Zuführung des Bezugspotentials.

Da über den externen Spannungsgenerator an eine zu treibende Last ein im Betriebsfall nicht unerheblicher Strom geliefert wird, der über die zweite Bezugspotentialleitung an das Anschlußpad zurückfließt, wobei außerdem der Stromverbrauch abhängig von den Betriebszuständen des DRAMs relativ stark schwanken kann, ist der Spannungsabfall längs der zweiten Bezugspotentialleitung nicht mehr vernachlässigbar. Es entsteht daher ein Spannungsabfall zwischen dem Anschlußpad und derjenigen Stelle, an der der ausgangsseitige Spannungsgenerator an die zweite Bezugspotentialleitung kontaktiert ist. Dieser Spannungsabfall kann zeitlich schwanken.

Problematisch bei der beschriebenen Spannungsgeneratoranordnung ist daher, daß der Referenzgenerator und der Impedanzwandler stets von konstantem Bezugspotential versorgt werden, während das Potential am Bezugspotentialanschluß des ausgangsseitigen Spannungsgenerators abhängig von dem über die zweite Bezugspotentialleitung fließenden Strom schwankt. Im Betriebsfall weichen daher die Bezugspotentiale für den ausgangsseitigen Spannungsgenerator einerseits und für die Band-Gap-Referenzschaltung und den Impedanzwandler andererseits voneinander ab. Besonders mit fortschreitender Verkleinerung der Strukturen auf dem integrierten Halbleiterchip und der wachsenden Komplexität der zu versorgenden Schaltungen besteht ein Trend dahingehend, daß einerseits die internen Spannungen weiter verringert werden, anderseits aber höhere Ströme erforderlich sind, obwohl die Widerstände der Metallisiерungsleitungen zunehmen. Unter diesen Randbedingungen ist es problematisch, mit den herkömmlichen Konzepten die erforderlichen internen Spannungen mit ausreichender Konstanz und hoher Stromtreiberfähigkeit bereitzustellen.

Eine Aufgabe der Erfindung besteht darin, eine Spannungsgeneratoranordnung anzugeben, die eine ausreichend stabile Ausgangsspannung für eine zu versorgende Funktionseinheit unter  
5 den oben angegebenen Randbedingungen erzeugt.

Insbesondere soll der Spannungsgenerator auch in höher integrierten Schaltungen mit geringeren Strukturbreiten eine möglichst stabile Ausgangsspannung bereitstellen.

10 Gemäß der Erfindung ist zur Lösung der oben genannten Aufgabe  
● eine Spannungsgeneratoranordnung vorgesehen, die umfasst: einen Anschluß für ein Versorgungspotential, einen Anschluß für ein Bezugspotential und einen Ausgangsanschluß für ein abzutreibendes Ausgangspotential; eine erste mit dem Anschluß für das Bezugspotential verbundene Bezugspotentialleitung und eine zweite mit dem Anschluß für das Bezugspotential verbundene Bezugspotentialleitung; eine Band-Gap-Referenzschaltung, die an die erste Bezugspotentialleitung angeschlossen ist, mit  
15 einem Ausgangsanschluß; einen Spannungsgenerator, der zwischen den Anschluß für das Versorgungspotential und die zweite Bezugspotentialleitung geschaltet ist und ausgangsseitig mit dem Anschluß für das abzugreifende Ausgangspotential verbunden ist und der eingangsseitig einen Steuereingang aufweist zur Steuerung der Höhe des Ausgangspotentials; eine Korrekturschaltung, die an die erste und zweite Bezugspotentialleitung angeschlossen ist, die eingangsseitig mit der Band-Gap-Referenzschaltung gekoppelt ist und die einen Ausgangsanschluß aufweist, der ein von der Potentialdifferenz  
20 der ersten und zweiten Bezugspotentialleitungen abhängiges Steuersignal führt und der an den Eingangsanschluß des Spannungsgenerators gekoppelt ist.  
25

Bei der Generatoranordnung gemäß der Erfindung wird die Potentialdifferenz zwischen den verschiedenen Bezugspotentialleitungen, an die die einzelnen Stufen der Generatoranordnung angeschlossen sind, in einer Korrekturschaltung ausgeglichen.

Die Korrekturschaltung ist im Signalpfad zwischen die Band-Gap-Referenzschaltung und den ausgangsseitigen Spannungsgenerator geschaltet, vorzugsweise dem ausgangsseitigen Spannungsgenerator unmittelbar vorgeschaltet. Die Korrekturschaltung wird einerseits vom Impedanzwandler angesteuert. Andererseits wird der Korrekturschaltung die Potentialdifferenz zwischen den ersten und zweiten Bezugspotentialleitungen zugeführt. Diese Potentialdifferenz wird vorzugsweise am oder in der Nähe des Orts des Anschlusses des Bezugspotentials des ausgangsseitigen Spannungsgenerators und am Ort des Anschlusses für das Bezugspotential des Impedanzwandlers abgegriffen.

Die Korrekturschaltung fügt in den Steuerungspfad zur Ansteuerung des ausgangsseitigen Spannungsgenerators einen solchen Steuerungsvorhalt ein, daß Schwankungen auf der zweiten Bezugspotentialleitung möglichst vollständig ausgeglichen werden. Dann ist die Versorgungsspannung, die an der vom ausgangsseitigen Spannungsgenerator angeschlossene Last anliegt, stets konstant auf der gewünschten Höhe ausgesteuert.

Gemäß einer Ausführungsform überlagert die Korrekturschaltung die zwischen der ersten und der zweiten Bezugspotentialleitung feststellbare Potentialdifferenz dem vom Impedanzwandler abgegebenen Steuersignal in linearer Weise. Je nach den Verstärkungsfaktoren in den Signalpfaden der Korrekturschaltung kann eine Überkompensation, eine Gleichkompensation oder eine Unterkompensation abhängig von den gewünschten Bedürfnissen eingestellt werden. Idealerweise wird die Potentialdifferenz zwischen den ersten und zweiten Bezugspotentialleitungen vollständig ausgeglichen. Als lineare Überlagerung kommt beispielsweise eine additive Überlagerung in Betracht.

Der Abgriff für das Potential der zweiten Bezugspotentialleitung, an die der ausgangsseitige Spannungsgenerator angeschlossen ist, liegt zumindest näher an demjenigen Ort, an dem der ausgangsseitige Spannungsgenerator an diese Bezugspotentialleitung angeschlossen ist, als am anderen Ende der Bezugspotentialleitung, an dem das Anschlußpad zur externen Zu-

führung des Bezugspotentials angeschlossen ist. Idealerweise erfolgt dieser Abgriff in unmittelbarer Nähe des Kontakts des äußeren Spannungsgenerators an die zweite Bezugspotentialleitung.

5

Die Korrekturschaltung im Einzelnen kann aus zwei signalmäßig in Serie geschalteten Operationsverstärkern aufgebaut sein. Der erste Operationsverstärker ist als Addierer geschaltet und addiert die genannte Potentialdifferenz zwischen der ersten und der zweiten Bezugspotentialleitung zum vom Impedanzwandler bereitgestellten Steuerungspotential. Der zweite nachgeschaltete Operationsverstärker ist als Inverter geschaltet. Bei geeigneter Dimensionierung der Widerstandswerte der äußeren Beschaltung der beiden Operationsverstärker kann die Korrekturschaltung so dimensioniert werden, daß die Ausgangsspannung der Korrekturschaltung die Summe aus ihrer Eingangsspannung und der Potentialdifferenz zwischen der ersten und zweiten Bezugspotentialleitung ist. Die Korrekturschaltung ist bezugspotentialmäßig an die erste Bezugspotentialleitung angeschlossen, an die auch die Band-Gap-Referenzschaltung sowie der Impedanzwandler angeschlossen sind.

Der Spannungsgenerator weist einen herkömmlichen Aufbau auf. Beispielsweise umfaßt dieser einen Komparator, an den das von der Korrekturschaltung bereitgestellte Steuersignal eingespeist wird. Der Komparator steuert ausgangsseitig einen Stromtreibertransistor an, der zwischen einen Anschluß für ein Versorgungspotential, das beispielsweise von Extern zugeführt wird, und den Ausgangsanschluß geschaltet ist. Der Ausgangsanschluß ist über einen ohmschen Spannungsteiler an die zweite Bezugspotentialleitung angeschlossen. Ein Ausgangsabgriff des Spannungsteilers ist auf den nicht invertierenden Plus-Eingang des Komparators rückgekoppelt.

35 Nachfolgend wird die Erfindung anhand des in der Zeichnung dargestellten Ausführungsbeispiels im Detail erläutert. Gle-

che oder entsprechende Elemente in verschiedenen Figuren sind mit gleichen Bezugszeichen versehen. Es zeigen:

Figur 1 ein Blockdiagramm der Spannungsgeneratoranordnung  
gemäß der Erfindung;

Figur 2 ein Detailschaltbild für eine mögliche Ausführungsform der in der Figur 1 enthaltenen Korrekturschaltung; und

Figur 3 ein Detailschaltbild des in der Figur 1 enthaltenen ausgangsseitigen Spannungsgenerators.

Der in Figur 1 dargestellte Spannungsgenerator erzeugt aus einer extern zugeführten Versorgungsspannung VEXT eine interne Versorgungsspannung VINT, die beide auf Bezugspotential VSS bezogen sind. Das Bezugspotential VSS ist beispielsweise Masse. Das externe Versorgungspotential VEXT wird an einem Anschluß 6 der integrierten Schaltung niederohmig zugeführt und an sämtliche Stufen der Spannungsgeneratoranordnung weitergeleitet. Das Bezugspotential VSS wird am Anschlußpad 5 eingespeist. Beim Anschlußpad 5 handelt es sich um eine Metallisierungsfläche in der obersten Metallisierungsebene des die Spannungsgeneratoranordnung tragenden Halbleiterchips.

Auf das Anschlußpad 5 ist ein Bonddraht aufgestempelt oder eine sonstige Leiterbahn aufgedrückt, um das Bezugspotential VSS von Extern an den Chip heranzuführen. Das Bezugspotential VSS wird einerseits über eine erste Bezugspotentialleitung 51 und andererseits über eine zweite Bezugspotentialleitung 54 an die Funktionsstufen der gezeigten Spannungsgeneratoranordnung herangeführt. Die erste und die zweite Bezugspotentialleitung 51 bzw. 54 sind nur über das Anschlußpad 5 leitend miteinander verbunden. Die zweite Bezugspotentialleitung 54 ist an einem Ende 52 mit dem Anschlußpad 5 verbunden und weist ein anderes Ende 53 auf.

Die Spannungsgeneratoranordnung in Figur 1 umfaßt eine Band-Gap-Referenzschaltung 1, die versorgungsspannungsseitig von der externen Versorgungsspannung VEXT versorgt wird und die an die erste Bezugspotentialleitung 51 angeschlossen ist. Eine Band-Gap-Referenzschaltung ist in der integrierten Schaltungstechnik hinlänglich bekannt. Sie erzeugt ausgangsseitig eine Spannung von 1,2 Volt, die weitgehend stabil und unabhängig von der Betriebstemperatur und/oder der anliegenden Versorgungsspannung erzeugt wird. Die Ausgangsspannung VBGREF an einem Ausgangsanschluß 11 der Band-Gap-Referenzschaltung 1 ist zwischen dem Ausgang 11 und der ersten Bezugspotentialleitung 51 anliegend. Der Ausgang 11 der Band-Gap-Referenzschaltung 1 ist mit einem Eingang eines Impedanzwandlers 2 verbunden. Der Impedanzwandler 2 ist versorgungsspannungsmäßig ebenfalls zwischen den Anschluß 6 zur Zuführung des externen Versorgungspotentials VEXT und die ersten Bezugspotentialleitung 51 geschaltet. Der Impedanzwandler 2 weist einen Ausgangsanschluß 21 auf, der den hochohmigen Ausgang 11 der Band-Gap-Referenzschaltung in ein niederohmiges Signal umwandelt. Am Ausgang 21 liegt ein Referenzpotential VREF bezogen auf Bezugspotential VSS von etwa 1,6 Volt an.

Nunmehr ist in den Signalpfad eine Korrekturschaltung 3 geschaltet. Der Korrekturschaltung 3 wird versorgungsspannungsseitig das externe Versorgungspotential VEXT vom Anschluß 6 zugeführt. Bezugspotentialseitig ist die Korrekturschaltung 3 mit der ersten Bezugspotentialleitung 51 verbunden. Ausgangsseitig erzeugt die Korrekturschaltung 3 an ihrem Ausgangsanschluß 34 eine unten noch näher zu beschreibende korrigierte Referenzspannung VREFCORR.

Schließlich ist ein ausgangsseitiger Spannungsgenerator 4 vorgesehen, der aus der niederohmig zugeführten externen Versorgungsspannung VEXT am Anschluß 6 gespeist wird und an einem Ausgangsanschluß 42 ein Ausgangspotential VINT bereitstellt. Bezugspotentialseitig ist der Spannungsgenerator 4 an einer Stelle 41 mit der zweiten Bezugspotentialleitung 54

verbunden. Vom Ausgangsanschluß 42 wird eine Vielzahl von Funktionselementen mit der möglichst konstanten Spannung VINT versorgt, die einen relativ hohen Strom verbrauchen. Der Strom fließt über die zweite Bezugspotentialleitung 54 wieder 5 an das Anschlußpad 5 zurück. Die Höhe des Pegels der Spannung VINT wird durch das am Anschluß 45 zuführte Steuersignal VREFCORR möglichst konstant eingestellt.

Die Band-Gap-Referenzschaltung 1, der Impedanzwandler 2 sowie 10 die Korrekturschaltung 3 verbrauchen nur wenig und weitgehend konstanten Strom, so daß über die Bezugspotentialleitung 51 nur ein geringer, konstanter Strom fließt. Die längs der ersten Bezugspotentialleitung 51 abfallende Spannung kann daher mit ausreichender Genauigkeit als Null angesehen werden. Das 15 an allen Stellen der Bezugspotentialleitung 51 anliegende Potential VSS1 stimmt daher innerhalb der Betrachtungsgenauigkeit mit dem von extern zugeführten Potential VSS überein. Da längs der zweiten Bezugspotentialleitung 54 ein nicht zu vernachlässigender, dynamischer Strom fließt, der hauptsächlich 20 in der am Anschluß 42 angeschlossenen Last verbraucht wird, kann der Spannungsabfall längs des Verlaufs der zweiten Bezugspotentialleitung 54 nicht mehr vernachlässigt werden. Der über die (nicht dargestellte) Last fließende Strom wird über den Pfad der Anschlüsse 6, 42 bereitgestellt. Das Potential 25 VSS2 an der Stelle 41, an der der ausgangsseitige Spannungsgenerator 4 an die zweite Bezugspotentialleitung 54 angeschlossen ist, weicht daher um die Spannung VGND vom extern zugeführten Bezugspotential VSS ab. Dieser Spannungsabfall wechselt mit den Betriebszuständen der zu versorgenden Funktionseinheit.

Die Korrekturschaltung 3 weist außerdem einen Eingangsanschluß 32 auf, der der Korrekturschaltung 3 das Potential VSS2 zuführt. Hierzu ist der Eingang 32 der Korrekturschaltung 35 3 an der Stelle 33 mit dem Bezugspotentialanschluß für den ausgangsseitigen Spannungsgenerator 4 verbunden. Der Anschluß 33 liegt in der Nähe des Anschlusses 41. Oder er wird

direkt von der den Anschlußpunkt 41 mit dem Spannungsgenerator 4 verbindenden Leitung wie in der Figur 1 dargestellt abgegriffen. Beispielsweise wird der Abgriff in einer anderen Metallisierungsebene ausgeführt und ist an der Stelle 41 über eine Durchkontaktierung (Via) mit derjenigen Metallisierungsebene und -leitung verbunden, von der der Spannungsgenerator 4 versorgt wird. Es kann auch direkt am Abgriff 41 eine weitere Leitungsverzweigung angeordnet werden, die beispielsweise in der gleichen Metallisierungsebene und in einem spitzen Winkel zur Leiterbahn 54 an der Stelle 53 verläuft. Da bei DRAMs eine manuelle Layouterzeugung durchaus möglich ist, ist diese Gestaltung des Layouts leicht machbar. Zum mindest soll am Eingangsanschluß 32 der Korrekturschaltung 3 dasjenige Potential VSS2 vorliegen, das zur Versorgung des ausgangsseitigen Spannungsgenerators 4 dient. Daher liegt in der Korrekturschaltung 3 die Potentialdifferenz VGND vor, um die sich die Potentiale VSS1, VSS2 unterscheiden. Das von der Korrekturschaltung 3 dem Spannungsgenerator 4 zugeführte Steuersignal VREFCORR bildet eine Überlagerung der Potentiale VREF und VGND, idealerweise gilt:  $VREFCORR = VREF + VGND$ .

Die Korrekturschaltung 3 aus Figur 1 ist im beschriebenen Ausführungsbeispiel in Figur 2 im Detail dargestellt. Die Korrekturschaltung 3 weist einen ersten Operationsverstärker 35 und einen in Serie nachgeschalteten Operationsverstärker 36 auf. Der erste Operationsverstärker 35 ist als Addierer beschaltet und addiert die an den Anschlüssen 31, 32 zugeführten Spannungen. Zur Beschaltung des Operationsverstärkers 35 ist im Detail dessen nicht invertierender Plus-Eingang mit dem Potential VSS1 auf der ersten Bezugspotentialleitung 51 verbunden. Der invertierende Minus-Eingang ist über einen Widerstand 331 mit dem Anschluß 31 verbunden, der das Referenzpotential VREF vom Impedanzwandler führt. Der Minus-Eingang des Operationsverstärkers 35 ist außerdem über einen Widerstand 332 mit dem Anschluß 32 verbunden, der mit dem Bezugspotentialanschluß 41 des Spannungsgenerators 4 verbunden ist. Der Anschluß 32 führt daher das Potential VGND, also die Po-

tentialdifferenz der Potentiale VSS2, VSS. Schließlich ist der Minus-Eingang des Operationsverstärkers 35 über einen Widerstand 333 mit seinem Ausgang verbunden.

5 Der Operationsverstärker 36 ist als Inverter beschaltet. Sein Plus-Eingang führt das Potential VSS1. Sein Minus-Eingang ist über einen Widerstand 341 mit dem Ausgang des Inverters 33 verbunden und außerdem über einen Widerstand 342 auf den Ausgang 34 gekoppelt, der das korrigierte Referenzpotential  
 10 VREFCORR führt. Wenn die Widerstände 331, 332 gleich groß gewählt werden, lässt sich das Korrekturpotential VREFCORR gemäß folgender Formel berechnen:

$$\text{VREFCORR} = (\text{VREF} + \text{VGND}) * (\text{R331} * \text{R341}) / (\text{R333} * \text{R342})$$

15 Dabei bedeutet R331 der Widerstandswert des Widerstands 331, etc. Je nach Dimensionierung der Widerstände kann eine direkte Kompensation des Spannungsversatzes VGND längs der Leitung 54 im Korrektursteuersignal VREFCORR erreicht werden oder eine Überkompensation oder eine Unterkompensation. Eine direkte Kompensation ergibt sich, wenn gilt:  $\text{R331} * \text{R341} = \text{R333} * \text{R342}$ .

25 Die zweite Bezugspotentialleitung 54 weist ein erstes Ende 52 auf, das unmittelbar an das Anschlußpad 5 angeschlossen ist und ein zweites Ende 53, an dem der Anschlußpunkt 41 liegt, an welchem das Bezugspotential VSS2 an den Spannungsgenerator 4 abgezweigt wird. Prinzipiell sollte der Eingangsanschluß 32 möglichst Nahe am Anschluß 41 mit der Bezugspotentialleitung 30 54 gekoppelt sein. Zumindest sollte der Anschluß 32 näher am Ende 53 längs der Leitung 54 liegen als am Ende 52. Liegt der Abgriff 33 nicht direkt an der Stelle 41, sondern in Richtung des Endes 52 der Leitung 54 verschoben, kann durch geeignete Dimensionierung der oben genannten Widerstände ein höherer 35 Kompensationsfaktor eingestellt werden.

Ein Realisierungsbeispiel für den ausgangsseitigen Spannungs-  
generator 4 ist in Figur 3 dargestellt. Einem Komparator 43  
wird am Minus-Eingang 45 das korrigierte Referenzpotential  
VREFCORR zugeführt. Ein Ausgang des Komparators 43 steuert  
5 den Gate-Anschluß eines Lasttransistors 44 an. Der Transistor  
44 ist zweckmäßigerweise ein P-Kanal-MOS-Transistor. Der  
Source-Anschluß des Transistors 44 ist mit dem Anschluß 6 zur  
Zuführung des externen Versorgungspotentials VEXT verbunden.  
Der Drain-Anschluß des Transistors 44 ist mit dem Ausgangsan-  
schluß 42 verbunden, an dem die auf das Potential VSS2 refe-  
renzierte Ausgangsspannung VINT zum Versorgen einer (nicht  
dargestellten) Last abgreifbar ist. Der Drain-Anschluß des  
Transistors 44 bzw. der Ausgangsanschluß 42 ist über einen  
Spannungsteiler an den Anschluß 41 für das Bezugspotential  
15 VSS2 geführt. Der Spannungsteiler ist aus der Serienschaltung  
von Widerständen 452, 453 gebildet. Der Kopplungsknoten 451  
der Widerstände 452, 453 ist auf den Plus-Eingang des Opera-  
tionsverstärkers 43 rückgekoppelt.

## Patentansprüche

## 1. Spannungsgeneratoranordnung, umfassend:

- einen Anschluß (6) für ein Versorgungspotential (VEXT), einen Anschluß (5) für ein Bezugspotential (VSS) und einen Ausgangsanschluß (42) für ein abzugreifendes Ausgangspotential (VINT);
- eine erste mit dem Anschluß (5) für das Bezugspotential (VSS) verbundene Bezugspotentialleitung (51) und eine zweite mit dem Anschluß (5) für das Bezugspotential (VSS) verbundene Bezugspotentialleitung (54);
- eine Band-Gap-Referenzschaltung (1), die an die erste Bezugspotentialleitung (51) angeschlossen ist, mit einem Ausgangsanschluß (11);
- einen Spannungsgenerator (4), der zwischen den Anschluß (6) für das Versorgungspotential (VEXT) und die zweite Bezugspotentialleitung (54) geschaltet ist und ausgangsseitig mit dem Anschluß (42) für das abzugreifende Ausgangspotential (VINT) verbunden ist und der eingangsseitig einen Steuereingang (45) aufweist zur Steuerung der Höhe des Ausgangspotentials (VINT);
- eine Korrekturschaltung (3), die an die erste und zweite Bezugspotentialleitung (51, 54) angeschlossen ist, die eingangsseitig mit der Band-Gap-Referenzschaltung (1) gekoppelt ist und die einen Ausgangsanschluß (34) aufweist, der ein von der Potentialdifferenz (VGND) der ersten und zweiten Bezugspotentialleitungen (51, 54) abhängiges Steuersignal (VREFCORR) führt und der an den Eingangsanschluß (45) des Spannungsgenerators (4) gekoppelt ist.

30

2. Spannungsgeneratoranordnung nach Anspruch 1, gekennzeichnet durch, eine Impedanzwandlerschaltung (2), die an die erste Bezugspotentialleitung (51) angeschlossen ist und deren Eingangsausgangssignalpfad zwischen den Ausgang (11) der Band-Gap-Referenzschaltung (1) und einen Eingang (31) der Korrekturschaltung (3) geschaltet ist.

3. Spannungsgeneratoranordnung nach Anspruch 1 oder 2,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die Korrekturschaltung Schaltungsmittel (35, 36, 331, ...,  
5 334) aufweist, um ein von der Potentialdifferenz (VGND) zwi-  
schen den Potentialen der ersten und zweiten Bezugspotential-  
leitungen (51, 54) abhängiges Signal einem von der Band-Gap-  
Referenzschaltung (1) bereitgestellten Signal (VREF) linear  
überlagert.

10

4. Spannungsgeneratoranordnung nach Anspruch 3,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die Band-Gap-Referenzschaltung (1), die Impedanzwandlerschal-  
tung (2) und die Korrekturschaltung (3) versorgungsspannungs-  
15 seitig mit dem Anschluß (6) für das Versorgungspotential  
(VEXT) verbunden sind.

5. Spannungsgeneratoranordnung nach einem der Ansprüche 1 bis  
4,

20 d a d u r c h g e k e n n z e i c h n e t, daß  
die zweite Bezugspotentialleitung (54) eine längs ausgedehnte  
Leitung (54) ist, die an einem Ende (52) an den Anschluß (5)  
zum externen Zuführen von Bezugspotential (VSS) angeschlossen  
ist und die an einem anderen Ende (53) an den Spannungsgene-  
rator (4) angeschlossen ist, und daß die Korrekturschaltung  
25 (3) näher an dem anderen Ende (53) als an dem einen Ende (52)  
an die zweite Bezugspotentialleitung (54) kontaktiert ist.

6. Spannungsgeneratoranordnung nach Anspruch 5,  
30 d a d u r c h g e k e n n z e i c h n e t, daß  
die Korrekturschaltung (3) in unmittelbarer Nähe derjenigen  
Stelle (41) an die zweite Bezugspotentialleitung (54) kontak-  
tiert ist, an der der Spannungsgenerator (4) an die zweite  
Bezugspotentialleitung (54) angeschlossen ist.

35

7. Spannungsgeneratoranordnung nach einem der Ansprüche 1 bis  
6,

d a d u r c h g e k e n n z e i c h n e t, daß  
die Korrekturschaltung (3) einen ersten Operationsverstärker  
(35) aufweist, der als invertierender Addierer beschaltet ist  
und der eingangsseitig mit der Band-Gap-Referenzschaltung (1)  
5 und der zweiten Bezugspotentialleitung (54) gekoppelt ist.

8. Spannungsgeneratoranordnung nach Anspruch 7,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die Korrekturschaltung (3) einen zweiten Operationsverstärker  
10 (36) aufweist, der als invertierender Verstärker beschaltet  
ist und mit einem Ausgang des ersten Operationsverstärkers  
(35) eingangsseitig gekoppelt ist.

9. Spannungsgeneratoranordnung nach einem der Ansprüche 1 bis  
15 8,

d a d u r c h g e k e n n z e i c h n e t, daß  
der Spannungsgenerator (4) einen Komparator (43) enthält, der  
ausgangsseitig mit dem Steuereingang eines Lasttransistors  
(44) verbunden ist, daß der Lasttransistor (44) zwischen den  
20 Anschluß (6) für das Versorgungspotential (VEXT) und den Aus-  
gangsanschluß (42) für das abzugreifende Ausgangspotential  
(VINT) geschaltet ist und daß ein Spannungsteiler (452, 453)  
vorgesehen ist, der zwischen diesen Ausgangsanschluß (42) und  
die zweite Bezugspotentialleitung (54) geschaltet ist und ei-  
nen Abgriff (451) aufweist, der auf einen Eingang (+) des  
Komparators (43) rückgekoppelt ist.

Zusammenfassung

Spannungsgeneratoranordnung

5 Eine Spannungsgeneratoranordnung liefert eine weitgehend konstante Ausgangsspannung (VINT) mit hoher Stromtreiberfähigkeit. Hierzu ist eine Band-Gap-Referenzschaltung (1) vorgesehen, die gegebenenfalls über einen Impedanzwandler (2) einen ausgangsseitigen Spannungsgenerator (4) ansteuert. Band-Gap-Referenzschaltung (1) und Impedanzwandler (2) einerseits und Spannungsgenerator (4) andererseits sind an unterschiedliche Bezugspotentialleitungen (51, 53) angeschlossen. Dem ausgangsseitigen Spannungsgenerator (4) ist eine Korrekturschaltung (3) unmittelbar vorgeschaltet, die eine Korrektur des Spannungsabfalls (VGND) an derjenigen Bezugspotentialleitung (54) bewirkt, an die der ausgangsseitige Spannungsgenerator (4) angeschlossen ist. Die Spannungsgeneratoranordnung ist dadurch für höhere Integrationsdichte geeignet.

20 Figur 1

## Bezugszeichenliste

1	Band-Gap-Referenzschaltung
2	Impedanzwandler
5	Korrekturschaltung
4	Spannungsgenerator
5	Anschlußpad
6	Anschluß für externes Versorgungspotential
11, 21, 34, 42	Ausgangsanschlüsse
10	Eingangsanschlüsse
35, 36	Operationsverstärker
41	Anschlußstelle
43	Komparator
44	Lasttransistor
15	Abgriff
51	erste Bezugspotentialleitung
52	zweite Bezugspotentialleitung
52, 53	Enden der zweiten Bezugspotentialleitung
452, 453	Widerstände für Spannungsteiler
20	Widerstände
VEXT	externes Versorgungspotential
VSS	Bezugspotential, Masse
VSS1, VSS2	Bezugspotential
VGND	Bezugspotentialdifferenz
VBGREF	Band-Gap-Referenzpotential
VREF	Referenzsignal
VREFCORR	korrigiertes Referenzsignal
VINT	Ausgangspotential

FIG. 1

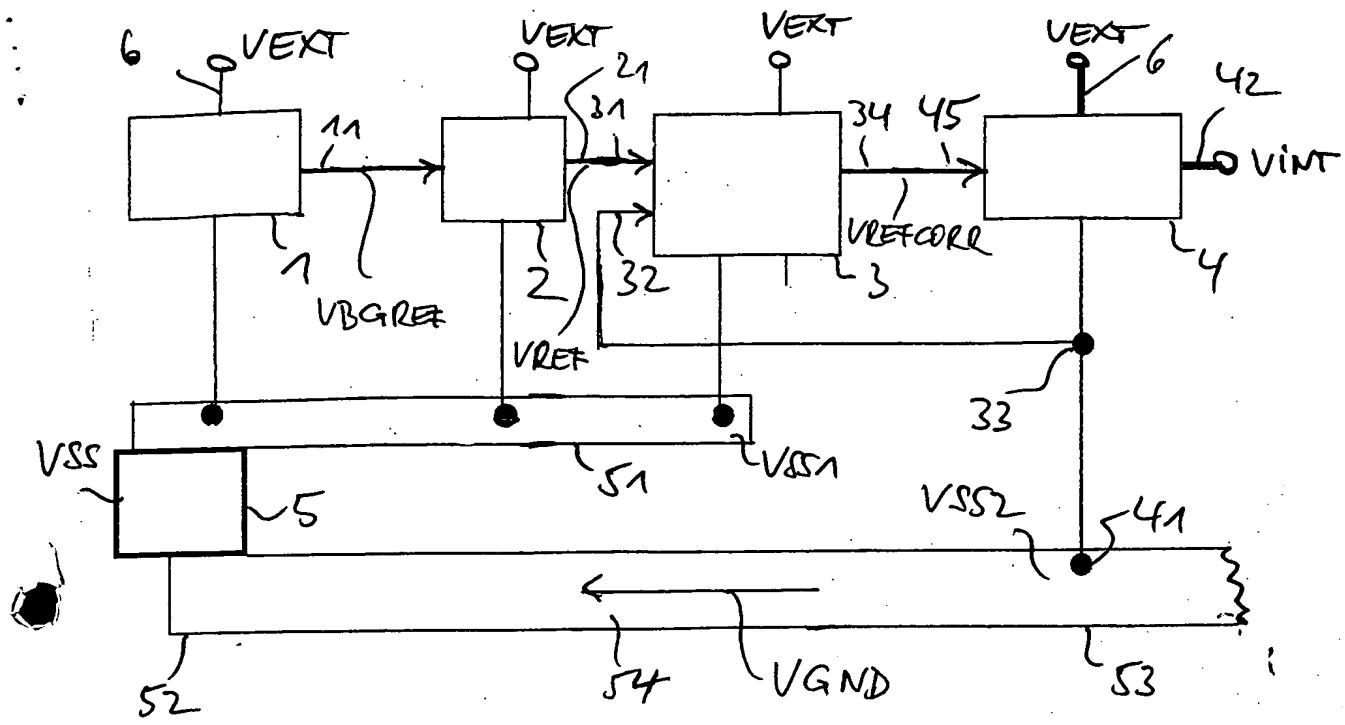


FIG. 2

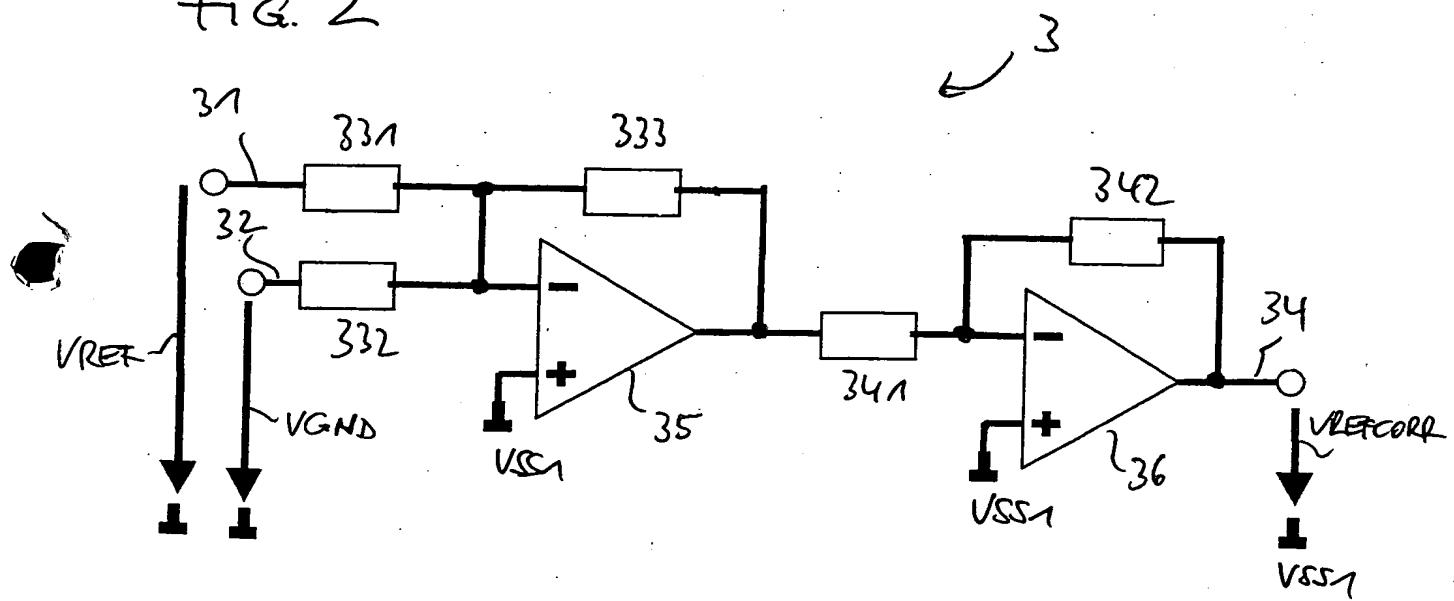
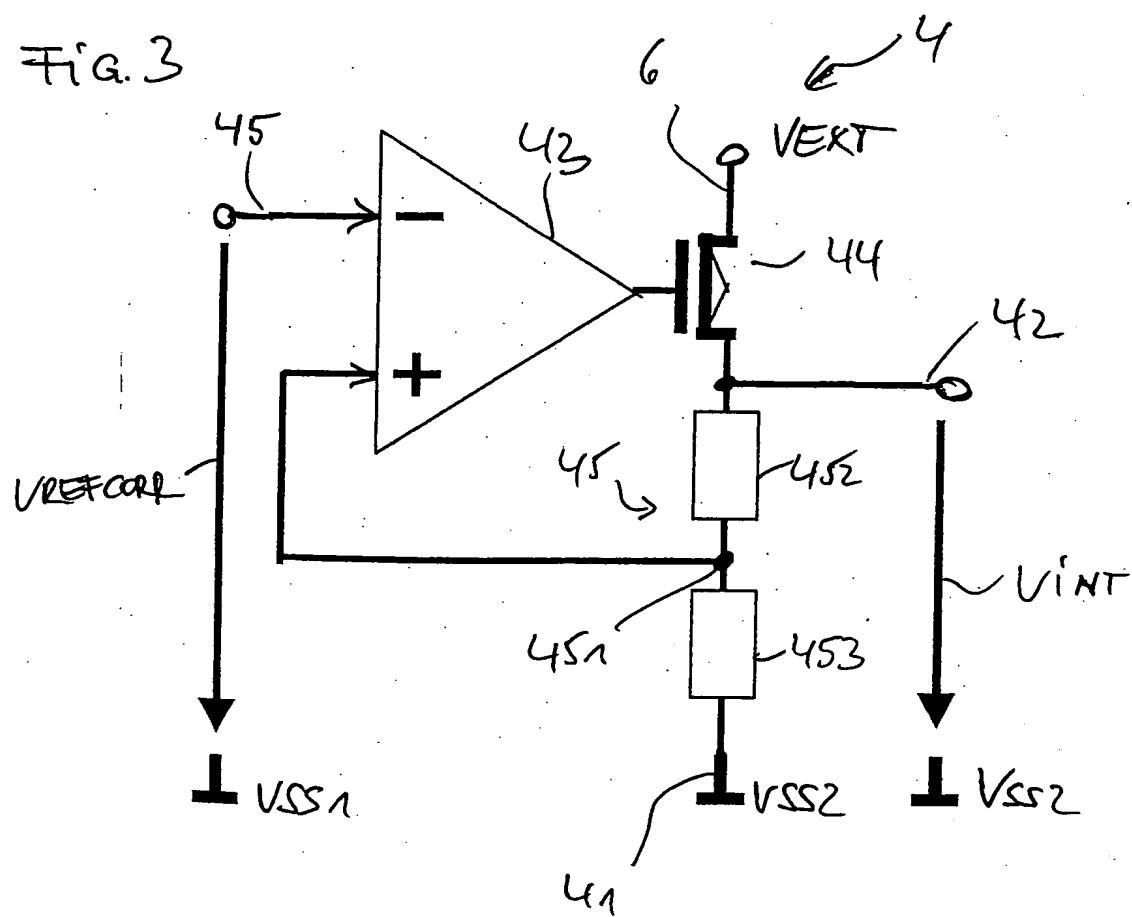


FIG. 3



**APPLICATION FOR**  
**UNITED STATES PATENT**  
**in the name of**  
**Manfred Pröll, et al.**  
**for**  
**VOLTAGE GENERATOR ARRANGEMENT**

Edell, Shapiro & Finn, LLC  
1901 Research Boulevard, Suite 400  
Rockville, Maryland 20850-3164  
Tel.: (301) 424-3640  
Fax: (301) 762-4056

**ATTORNEY DOCKET:**

**0928.0013C**



## VOLTAGE GENERATOR ARRANGEMENT

### CROSS-REFERENCE TO RELATED APPLICATION

This application claims priority under 35 USC §119 to German Application No. 10259054.0, filed on December 17, 2002, and titled “Voltage Generator Arrangement,” the entire contents of which are hereby incorporated by reference.

### FIELD OF THE INVENTION

The invention relates to a voltage generator arrangement, and more particularly, to a voltage generator arrangement suitable for integration in a semiconductor chip that produces a constant output voltage for driving and supplying functional units.

10

### BACKGROUND

A large number of internal voltages of different magnitude are required in integrated semiconductor circuits, for example, in dynamic semiconductor memory modules, so-called DRAMs, in order to supply the internal functional units and to operate them correctly. The output voltage must be as constant as possible and must be provided with adequate current driver capability, with as low an impedance as possible.

As is known, a DRAM comprises memory cells with a storage capacitor, whose state of charge represents the stored information. Due to leakage currents, the stored charge state in the capacitor is changed, and the separation from a reference decreases. In order to make it possible to read the stored information without any errors despite this, it is necessary for the reference levels to be used to be as constant as possible and to maintain a predetermined level

of magnitude, even in poor operating states. For example, a voltage generator is required which is located precisely centrally between the voltage levels that represent the two binary logic states. Since the information to be read is compared with this central voltage level, its accuracy is subject to relatively stringent requirements. Finally, further potentials, which supply the memory cell array and the circuits for reading and writing are also provided by a higher-level voltage generator arrangement.

A voltage generator arrangement such as this comprises two or more stages. A bandgap reference circuit provides an output potential, which is referred to as reference ground potential and is largely independent of external operating influences, such as the external supply voltage or temperature. The bandgap reference circuit has a high-impedance output. The bandgap reference circuit is thus expediently followed on the output side by an impedance converter, which transforms the reference potential, that is provided with a high impedance, to a low impedance. Finally, the impedance converter drives a voltage generator, which is arranged on the output side and supplies an output potential that is relatively constant and has a high current driver capability, and whose magnitude is set as a function of the output signal from the impedance converter. Two or more impedance converters may be driven in parallel by the same bandgap reference circuit, or various output-side voltage generators may be provided in order to produce different output voltages, or the same voltages, which can be fed in at different points on the semiconductor chip.

In the case of a voltage generator arrangement such as this, it has been found to be expedient to provide separate reference ground potential lines. In this case, the bandgap reference circuit and the impedance converter are connected to a first reference ground potential line. The bandgap reference circuit and the impedance converter draw a constant current irrespective of the various operating states of the DRAM. Furthermore, the current that is drawn is relatively small. The voltage drop along this line is thus constant, or can

easily be compensated for. The output-side voltage generator is connected to a second reference ground potential line, which is separate from the first. The two reference ground potential lines are, for example, formed from metal tracks which run in a metallization plane on the semiconductor chip and which, for example, are composed of aluminum or of an aluminum alloy. The reference ground potential is supplied from the exterior via what is referred to as a connecting pad. Various pads are also feasible, which are then connected to one another externally to the chip. The two reference ground potential lines are typically connected via the connecting pad at least to the external supply for the reference ground potential.

Since the current, which is not inconsiderable during operation, is supplied via the external voltage generator to a load that is to be driven, and this current flows back via the second reference ground potential line to the connecting pad, in which case the current that is drawn can also fluctuate relatively severely as a function of the operating states of the DRAM, the voltage drop along the second reference ground potential line is no longer negligible. A voltage drop is thus produced between the connecting pad and that point at which the output-side voltage generator makes contact with the second reference ground potential line. This voltage drop can fluctuate over time.

The described voltage generator arrangement is thus subject to the problem that the reference generator and the impedance converter are always supplied with a constant reference ground potential, while the potential at the reference ground potential connection for the output-side voltage generator fluctuates as a function of the current flowing via the second reference ground potential line. Thus, during operation, the reference ground potentials for the output-side voltage generator on the one hand and for the bandgap reference circuit and the impedance converter on the other hand differ from one another. Until now, the output-side voltage generator has raised the reference voltage that is supplied from the

impedance converter to a higher voltage level. For example, the bandgap reference circuit produces an output voltage of 1.2 V, and the impedance converter produces an output voltage of 1.6 V. The latter output voltage is raised by the output-side voltage generator to, for example, 2.0 V. The output-side voltage generator thus amplifies the voltage drop that occurs on the second reference ground potential line and, in consequence, amplifies the voltage error within the output voltage that is to be produced.

In particular, as miniaturization of the structures on the integrated semiconductor chip progresses and as complexity of the circuits to be supplied increases, there is a trend on the one hand to reduce the internal voltages further although, on the other hand, higher currents are required, even though the resistances of the metallization lines increase as a result of the smaller structure widths. The reference ground potential lines are becoming relatively longer with respect to the number of functional units to be supplied, as integration progresses. As a consequence of these boundary conditions, it is problematic to provide the required internal voltages with sufficient constancy and a sufficiently high current drive capability with the use of conventional concepts. The amplification of the parasitic voltage drop along the second reference ground potential line in the output-side voltage generator also results in the output voltage becoming less stable.

## SUMMARY

A voltage generator arrangement can produce a sufficiently stable output voltage for a functional unit that is to be supplied in the boundary conditions mentioned above. In particular, the voltage generator can provide an output voltage that is as stable as possible, even in large-scale integrated circuits with relatively small structure widths.

A voltage generator arrangement can include a connection for a supply potential, a connection for a reference ground potential, an output connection for an output potential to be

tapped off, a first reference ground potential line which is connected to the connection for the reference ground potential, and a second reference ground potential line, which can be connected to the connection for the reference ground potential, a bandgap reference circuit, which can be connected to the first reference ground potential line and can have an output connection, and an impedance converter circuit, which can be connected between the connection for the supply potential and the first reference ground potential line. The impedance converter circuit can be connected on the input side to the bandgap reference circuit and can have an output connection. A voltage generator can be connected between the connection for the supply potential and the second reference ground potential line. The second reference ground potential line can be connected on the output side to the connection for the output potential to be tapped off, and which, on the input side, can be driven by the output connection of the impedance converter circuit. The impedance converter circuit can produce an output potential, which can be higher than the input potential that is supplied from the bandgap reference circuit. The voltage generator can produce an output potential, which can be lower than the potential that is supplied from the impedance converter circuit.

The voltage generator arrangement according to the invention departs from the previous concept, according to which the potential was raised from the impedance converter stage to the output-side voltage generator. Instead, a sufficiently high output voltage can be produced in the impedance converter stage such that the output-side voltage generator stage can produce a decrease in potential, rather than an increase in potential. The influence of a voltage drop along the second reference ground potential line in the output voltage can be reduced.

In one implementation, in an integrated circuit, a charge pump circuit to be coupled into the signal path in the impedance converter can be provided. A charge pump circuit uses clocked controlled pumping processes to produce an output voltage, which is higher than the

input voltage, from a low input voltage. The charge pump circuit can provide that the output voltage, which can be emitted from the impedance converter, can be sufficiently high that the output voltage can be reduced by the output-side voltage generator in order to achieve the desired voltage on the output side. The output connection of the charge pump circuit can be coupled to the input connection of the output-side voltage generator, which can control the magnitude of the output voltage.

According to a first embodiment, the output connection of the charge pump can be connected directly to the control input of the downstream, output-side voltage generator. The increased output voltage from the charge pump circuit can control the output voltage directly.

The charge pump is itself driven on its input side by a comparator to which the output voltage for the impedance converter or from the charge pump circuit is fed by a voltage divider. The full voltage of the charge pump can be passed on in this case, so that the downstream voltage generator may have a high potential reduction factor in order to pass on the voltage drop that occurs along the second reference ground potential line in an extremely reduced manner.

However, due to the clocked operation, the output voltage produced by the charge pump can have a certain amount of ripple, which may not be regulated out by the completely.

A second embodiment provides for the impedance converter to have a load transistor on the output side, which is driven by a comparator into which the output voltage that is emitted from the impedance converter is fed back. The load current path of the load transistor can be in this case fed with current and supply voltage from the output of the charge pump circuit. The charge pump circuit can be operated on full load, so that the ripple in its output voltage can be reduced by switching-on and off processes that are required for other reasons. Furthermore, the ripple in the output voltage that can be emitted from the impedance converter can be damped by the control loop within the impedance converter.

Overall, the output voltage from the voltage generator arrangement can have a relatively

small amount of ripple and can be relatively constant even when the demanded output current is high.

In each embodiment, the output voltage from the impedance converter can be tapped off by a voltage divider that can be connected between the output and the first reference ground potential line, and can be fed back to the respective comparator. However, the input connections of the comparators can be connected differently in the two cases. In the first embodiment, the voltage divider can be fed back to the inverting negative input of the comparator, while in the latter embodiment. The voltage divider can be fed back to the non-inverting positive input.

The output-side voltage generator can be connected to the second reference ground potential line. The bandgap reference circuit and the functional blocks, which can be associated with the impedance converter circuit, can be connected to the first reference ground potential line, in particular, including the charge pump circuit. These circuits, including the charge pump circuit, can draw a constant small current, which can be independent of operating states, so that the voltage drop along the first reference ground potential line can be compensated for and can be ignored bearing in mind the accuracy of analysis.

An embodiment in which a load transistor taps off the load current from the external supply voltage and, controlled by a comparator, passes it to the output connection which produces the internal supply voltage, is recommended for the output-side voltage generator circuit. The output can be fed back directly to the non-inverting positive input of the comparator. The inverting negative input of the comparator can be fed from a voltage divider, which can be driven by the output of the impedance converter. This voltage divider is connected to the second reference ground potential line.

## BRIEF DESCRIPTION OF THE DRAWINGS

The invention will be explained in detail in the following text with reference to the exemplary embodiments that are illustrated in the drawing. Identical or corresponding elements in the various figures are provided with the same reference symbols. In the figures,

5       Figure 1 shows a block diagram of a voltage generator arrangement according to the invention;

Figure 2 shows a detailed circuit diagram of an impedance converter circuit according to a first exemplary embodiment;

10      Figure 3 shows a detailed circuit diagram of an impedance converter circuit according to a second exemplary embodiment; and

Figure 4 shows a detailed circuit diagram of an output-side voltage generator for use in the voltage generator arrangement.

## DETAILED DESCRIPTION

Referring to Figure 1, a voltage generator can produce an internal supply voltage VINT from an externally supplied supply voltage VEXT. Both the voltages VEXT, VINT are related to a reference ground potential VSS. The reference ground potential VSS is, for example, ground. The external supply potential VEXT is supplied with a low impedance to a connection 6 of the integrated circuit, and can be passed to all the stages of the voltage generator arrangement. The reference ground potential VSS can be fed in at the connecting pad 5. The connecting pad 5 can be a metallization surface in the uppermost metallization layer of the semiconductor chip to which the voltage generator arrangement can be fit. A bonding wire can be stamped, or some other conductor track can be pressed onto the connecting pad 5, in order to supply the reference ground potential VSS from the exterior to the chip.

The reference ground potential VSS can be passed on via a first reference ground potential line 51 and via a second reference ground potential line 54 to the functional stages of the illustrated voltage generator arrangement. The first and the second reference ground potential line 51 and 54 can be conductively connected to one another only via the connecting pad 5. The second reference ground potential line 54 can be connected at one end 52 to the connecting pad 5, and can have another end 53, which can be within the circuit.

5 The voltage generator arrangement can include a bandgap reference circuit 1, which can be supplied on the supply voltage side from the external supply voltage VEXT and which can be connected to the first reference ground potential line 51. A bandgap reference circuit 10 using integrated circuit technology is known. This produces an output voltage of 1.2 V, which can be relatively stable and can be produced independently of the operating temperature and of the applied supply voltage. The output voltage VBGREF can be produced at an output connection 11 of the bandgap reference circuit 1, between the output 11 and the first reference ground potential line 51. The output 11 of the bandgap reference 15 circuit 1 can be connected to an input 22 of an impedance converter 2.

In terms of supply voltage, the impedance converter 2 can be likewise connected between the connection 6 for supplying the external supply potential VEXT and the first reference ground potential line 51. The impedance converter 2 can have an output 20 connection 21, which can convert the high-impedance output 11 of the bandgap reference circuit to a low-impedance signal. A reference potential VREF with respect to the reference ground potential VSS can be produced at the output 21.

Finally, an output-side voltage generator 4 can be provided, can be fed from the external supply potential VEXT (which can be supplied with a low impedance) to the connection 6, and can produce an output potential VINT at an output connection 42. On the 25 reference-ground potential side, the voltage generator 4 can be connected at a point 41 to the

second reference ground potential line 54. A large number of functional elements are supplied from the output connection 42 with a voltage that can be as constant as possible between the output connection 42 of the voltage generator 4 and the reference ground potential line 54. The functional elements (which are not illustrated) which are connected 5 between the connection 42 and the reference ground potential line 54, can draw a relatively large current. The current can flow back again to the connecting pad 5 via the second reference ground potential line 54. The magnitude of the level of the potential VINT and of the corresponding voltage, which can be related to the reference ground potential line 54, can be adjusted to be relatively constant by the control signal VREF that can be supplied to the 10 input connection 45 of the voltage generator 4.

The bandgap reference circuit 1 and the impedance converter 2, including the charge pump, can consume a small and constant current, so that only a small, constant current can flow via the reference ground potential line 51. The voltage which can be dropped along the first reference ground potential line 51 may thus be regarded, with sufficient accuracy for 15 analysis, as zero. The potential VSS1, which exists at points on the reference ground potential line 51, can match the externally supplied reference ground potential VSS. A dynamic current, which fluctuates as a function of operating states and can be essentially used in the load that can be connected to the connection 42 can flow along the second reference ground potential line 54. The voltage drop along the length of the second reference 20 ground potential line 54 can thus no longer be regarded as being negligible. The potential VSS2 which, for example, can be considered at the point 41 at which the voltage generator 4 can be connected to the second reference ground potential line 54, can differ by the voltage VGND from the externally supplied reference ground potential VSS.

The output voltage VREF, which can be produced by the impedance converter circuit 25 2, can be significantly higher than the output voltage VBGREF of the bandgap reference

circuit 1. The output voltage VINT at the connection 42 can be less than the reference voltage VREF. In practice, by way of example, the following relationships can be provided with an acceptable level of circuit complexity:

$$VREF = 3.3 * VBGREF$$

5            $VINT = 0.5 * VREF.$

Since the potential VINT can be less than the control potential VREF, which can be supplied to the input side of the voltage generator 4, the component of the voltage component VGND along the line 54 between the ends 52, 53 and the contact point 41 can be reduced by the same factor. Load fluctuations, which can produce the voltage drop VGND along the 10 second reference ground potential line 54 due to the different current that can be drawn in the load that can be connected to the connection 42, can be included to a reduced extent in the output voltage. The output voltage can be thus largely constant irrespective of the current drawn in the connected load, and can have a high current driver capability.

A charge pump can be required in order to produce the raised voltage VREF, and this 15 charge pump is fed from the external supply potential VEXT and can produce a significantly higher output voltage than the voltage which is supplied to it. Charge pumps are known to those skilled in the art in the relevant field. Charge pumps operate on a clocked basis. The charge pumps may operate on a regulated basis, in order to be switched on and off as a function of a control signal, thus resulting in an increased output voltage, which is as constant 20 as possible. Owing to the internal circuit design, a charge pump without a switching-on/off function can operate in saturation and can produce a saturated maximum increased output voltage. The two embodiments, which are shown in Figure 2 and Figure 3, may be used as alternatives in order to produce the impedance converter 2 shown in Figure 1. The

embodiments of the impedance converter circuit 2 which are illustrated in Figures 2 and 3, can produce an increase in the output potential VREF in comparison to the signal VBGREF that is supplied on the input side, with the input 22 having a high impedance, and the output 21 having a low impedance.

As is shown in Figure 2, the charge pump 24 can have an output connection 221, which can produce a pump voltage VPUMP related to the reference ground potential VSS1. The output of the charge pump 24 can be connected directly to the output 21, which can be at the reference potential VREF. This potential can be supplied to the voltage generator 4. The magnitude of the control potential VREF can be produced by switching the charge pump 24 on and off by a control signal CTRL at a control input 241 to the charge pump. The control signal CTRL is produced by a comparator 23, which can receive the output voltage VBGREF from the bandgap reference circuit at its non-inverting input 22, and can receive a fed-back signal that has been derived from the output potential VREF at its inverting input 231. For this purpose, the output connection 21 of the impedance converter 2 can be connected via a voltage divider 251, 252 to the reference ground potential line 51 and to the reference ground potential VSS1. The input side of the voltage divider 251, 252 can be formed by the connections 21, 51. The output connection 253, which is formed at the coupling node between the resistors 251, 252, can be fed back to the input connection 231 of the comparator 23. If the output potential VREF from the impedance converter 2 is greater than a switching threshold, this can be signaled to the charge pump 24 by the control signal CTRL, and the pumping process in the charge pump 24 can be switched off. Owing to leakage currents and the current that is drawn, the potential VREF decreases again, so that the control signal CTRL switches on the charge pump again, in order to raise the potential VREF again. The switching threshold is set with respect to the bandgap reference potential VBGREF by using resistors with suitable values in the voltage divider 251, 252.

According to the embodiment shown in Figure 3, the output potential VREF at the output 21 of the charge pump 2 can be provided by the drain-source path through a p-channel MOS transistor 35. The drain-source path through the transistor 35 can be connected to the output 341 of a charge pump 34. The charge pump 34 can operate, for example, in saturation, and can produce a constant, increased, saturated output voltage VPUMP. A 5 comparator 33 can control the gate connection of the load transistor 35. The inverting input of the comparator 33 can form the input connection 22 of the impedance converter 2, and can be connected to the output 11 of the bandgap reference circuit 1. The non-inverting input of the comparator 33 can receive the output potential that can be fed back via a voltage divider 10 351, 352. For this purpose, the input side of the voltage divider 351, 352 can be connected between the connection 21 and the first reference ground potential line 51 or the reference ground potential VSS1. The output tap 353 on the voltage divider can be fed back to the non-inverting input of the comparator 33. The load transistor 35 can regulate the output potential VREF from the raised pump voltage VPUMP down as a function of the switching threshold 15 which is defined by the comparator 33, the voltage divider 351, 352 and the bandgap reference potential VGBREF. In comparison to the embodiment illustrated in Figure 2, the ripple on the output voltage VREF from the circuit shown in Figure 3 can be damped.

Finally, Figure 4 shows one implementation of the voltage generator 4. The load path or the drain-source current path through a load transistor 44 can be connected between the 20 connection 6 for supplying the external supply potential VEXT and the output connection 42 for the external output potential VINT that is to be regulated. The gate connection of the load transistor 44 can be driven by a comparator 43. The inverting input of the comparator 43 is fed from the output 443 of a voltage divider 441, 442. The input side of the voltage divider 441, 442 can be connected between the input connection 45 of the voltage generator 4 and the 25 connection 41 of the second reference ground potential line 54 or the corresponding reference

ground potential VSS2. The non-inverting input of the comparator 43 is expediently short circuited directly via a line 54, and directly to the output 42. The input potential VREF in the circuit in Figure 4 can be less than the output potential VINT, with the connection 42 having a high current driver capability. The circuit illustrated in Figure 4 can regulate out 5 fluctuations in the supply potential VEXT by the transistor 44, which can act as a series regulator.

The voltage generator arrangement in Figure 1 can be used in the field of DRAMS in order to produce the potential VBLEQ, which can be located between for example, in the center between, signal levels which represent a logic "1" (the potential VBLH) and a logic 10 "0" (the potential VSS). Since the signal, which can be read from a memory cells can be compared with the potential VBLEQ, this signal should be as constant a manner as possible, in order to avoid reading errors. If, for example, a logic "1" is written to the memory cell and is then read again or is refreshed again, the potential may be changed along the second reference ground potential line 54 as a result of the load conditions differing in the meantime. 15 In order to make it possible to read reliably, the potentials VBLEQ and VBLH at the times of writing and reading be identical. Furthermore, the voltage generator arrangement can also produce further signals in the DRAM. For this purpose, further impedance converters and output-side voltage generators may be connected in parallel with the output 11 of the bandgap reference circuit, or the control signal VREF for an impedance converter may control two or 20 more voltage generators, comparable to the generator 4.

The details of one or more embodiments are set forth in the accompanying drawings and the description below. Other features will be apparent from the description and drawings and from the claims.

List of reference symbols

1	Bandgap reference circuit
2	Impedance converter
3	Correction circuit
5	Voltage generator
4	Connecting pad
6	Connection for the external supply potential
11,21,34,42	Output connections
31, 32, 45	Input connections
10	Operational amplifier
35, 36	Connecting point
41	Comparator
43	Load transistor
44	Tap
15	First reference ground potential line
51	Second reference ground potential line
52	Ends of the second reference ground potential line
52, 53	Resistors for a voltage divider
452, 453	Resistors
20	331,332,333,341,342
VEXT	External supply potential
VSS	Reference ground potential, ground
VSS1, VSS2	Reference ground potential
VGND	Reference ground potential difference
VBGREF	Bandgap reference potential
25	VREF
VREFCORR	Reference signal
VINT	Corrector reference signal
	Output potential

**WHAT IS CLAIMED IS:**

- 1        1. A voltage generator arrangement, comprising:
  - 2            a first connection for a supply potential;
  - 3            a second connection for a reference ground potential; and
  - 4            a first output connection for an output potential to be tapped off;
  - 5            a first reference ground potential line, the first reference ground potential line being connected to the second connection;
  - 6            a second reference ground potential line being connected to the second connection;
  - 7            a bandgap reference circuit, the bandgap reference circuit being connected to the first reference ground potential line and having an output connection;
  - 8            an impedance converter circuit, the impedance converter circuit being connected between the first connection and the first reference ground potential line, the impedance converter circuit being connected on the input side to the bandgap reference circuit, the impedance converter circuit being a second output connection;
  - 9            a voltage generator, the voltage generator being connected between the first connection, and the second reference ground potential line, the second reference ground potential line being connected on the output side to the first output connection to be tapped off, and on the input side, being driven by the second output connection;
  - 10          the impedance converter circuit further producing an output potential, the output potential being higher than an input potential supplied from the bandgap reference circuit;
  - 11          and
  - 12          the voltage generator producing an output potential, the output voltage generator output potential being lower than the impedance converter output potential supplied from the impedance converter circuit.

1       2.     The voltage generator arrangement as claimed in claim 1, further comprising:

2              a charge pump circuit, the charge pump circuit being connected between the

3     connection for the supply potential (VEXT) and one of the reference ground potential lines,

4     the charge pump circuit being coupled into the signal path between the bandgap reference

5     circuit and an input connection of the voltage generator.

1       3.     The voltage generator arrangement as claimed in claim 1, wherein

2     the charge pump circuit has an output connection for proving an output potential, the output

3     potential being higher than the input potential; and

4              wherein the output connection of the charge pump circuit is coupled to an input

5     connection of the voltage generator.

1       4.     The voltage generator arrangement as claimed in claim 3, wherein

2     the impedance converter circuit contains a comparator, an input side of the comparator being

3     is connected to the bandgap reference circuit , an output side of the comparator being

4     connected to the control input of the charge pump circuit to control the magnitude of the

5     charge pump output voltage; and

6              wherein the output connection of the charge pump circuit is fed back to the input side

7     of the comparator.

1       5.     The voltage generator arrangement as claimed in claim 4, wherein the

2     impedance converter circuit has a voltage divider, an input side of the impedance converter

3     circuit being connected between the output connection of the impedance converter circuit and

4     the first reference ground potential line and

5              wherein an output connection is connected to an input of the comparator.

1           6. The voltage generator arrangement as claimed in claim 5, wherein the voltage  
2 divider is fed back to an inverting input of the comparator and the bandgap reference circuit  
3 is connected to the non-inverting input of the comparator.

1           7. The voltage generator arrangement as claimed in claim 3, wherein the  
2 impedance converter circuit has a comparator, an input side of the impedance converter  
3 circuit being connected to the bandgap reference circuit, an output side of the impedance  
4 converter circuit controlling a load transistor, wherein a load current path of the load  
5 transistor is connected between the output connection of the charge pump circuit and the  
6 output circuit of the impedance converter.

1           8. The voltage generator arrangement as claimed in claim 7, wherein the bandgap  
2 reference circuit is connected to an inverting input of the comparator, and  
3 wherein the output connection of the impedance converter circuit is fed back via a  
4 voltage divider to a non-inverting input of the comparato).

1           9. The voltage generator arrangement as claimed in claim 1, wherein the voltage  
2 generator has a comparator, an output side of the voltage generator controlling a load  
3 transistor  
4 wherein the load transistor is connected between the first connection and the first  
5 output connection that is to be tapped off,  
6 wherein the first output connection is connected directly to an input connection of the  
7 comparator, and

8           wherein the output of the impedance converter circuit is connected via a voltage  
9       divider to another input connection of the comparator.

1           10.      The voltage generator arrangement as claimed in claim 2, wherein the charge  
2       pump circuit contacts the first reference ground potential line.

### **ABSTRACT OF THE DISCLOSURE**

A voltage generator arrangement supplies a largely constant output voltage with a high current driver capability. A bandgap reference circuit is downstream from an impedance converter and downstream a voltage generator. The bandgap reference circuit and the impedance converter on the one hand and the voltage generator on the other hand are connected to different reference ground potential line. The impedance converter contains a charge pump circuit to provide increased control potential, which drives the voltage generator. The voltage generator in contrast produces a reduced output potential. The influence of any voltage drop on that reference ground potential line to which the voltage generator is connected in the output potential is thus likewise reduced.